

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Naokazu KUZUNO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: REDUNDANCY FUSE CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-078474	March 20, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

0351277

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

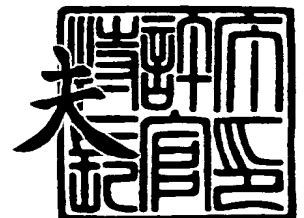
出 願 番 号 特 願 2 0 0 3 - 0 7 8 4 7 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 7 8 4 7 4]

出 願 人 東芝エルエスアイシステムサポート株式会社
Applicant(s): 株式会社東芝

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 7 1 5 7 3

【書類名】 特許願

【整理番号】 A000205823

【提出日】 平成15年 3月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明の名称】 リダンダンシイフューズ回路

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 葛野 直和

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 笈川 清春

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 丸山 公夫

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 渡辺 靖浩

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 5 8 0 番地 東芝エルエスアイシステムサポート株式会社内

【氏名】 久保田 雅也

【特許出願人】

【識別番号】 598010562

【氏名又は名称】 東芝エルエスアイシステムサポート株式会社

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】**【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9807823**【包括委任状番号】** 9705037**【プルーフの要否】** 要

【書類名】 明細書
【発明の名称】 リダンダンシイフューズ回路
【特許請求の範囲】

【請求項 1】 メモリセルアレイ内の不良セルを冗長セルに置き換えるためのリダンダンシイフューズ回路において、前記不良セル又はそれを含むブロックのアドレスがフューズの切断の有無により不良アドレスとしてプログラムされるフューズ回路と、テストから供給される信号をラッチすることにより、前記不良アドレスの擬似的プログラムを行うデータラッチ回路と、前記リダンダンシイフューズ回路の動作確認時に、前記テストから供給されるアドレス信号と前記データラッチ回路の出力信号とに基づいて、前記不良セルを前記冗長セルに置き換えるコンパレータとを具備することを特徴とするリダンダンシイフューズ回路。

【請求項 2】 前記メモリセルアレイは、前記冗長セルを含む冗長ロウを有し、前記不良アドレスは、不良ロウアドレス又はそれを含むブロックアドレスであることを特徴とする請求項 1 に記載のリダンダンシイフューズ回路。

【請求項 3】 前記メモリセルアレイは、前記冗長セルを含む冗長カラムを有し、前記不良アドレスは、不良カラムアドレス又はそれを含むブロックアドレスであることを特徴とする請求項 1 に記載のリダンダンシイフューズ回路。

【請求項 4】 請求項 1 に記載のリダンダンシイフューズ回路を具備することを特徴とする半導体メモリ。

【請求項 5】 請求項 1 に記載のリダンダンシイフューズ回路を具備することを特徴とするメモリ混載マイコン。

【請求項 6】 請求項 1 に記載のリダンダンシイフューズ回路を具備することを特徴とする半導体集積回路。

【請求項 7】 請求項 4 に記載の半導体メモリ、請求項 5 に記載のメモリ混載マイコン及び請求項 6 に記載の半導体集積回路のうちの少なくとも 1 つを含むことを特徴とする集積回路システム。

【請求項 8】 メモリセルアレイ内の不良セルを冗長セルに置き換えるためのリダンダンシイフューズ回路のテスト方法において、テストから供給される信号をデータラッチ回路にラッチすることにより、不良アドレスの擬似的プログラ

ムを行い、前記リダンダンシーフューズ回路の動作確認時に、前記テストから供給されるアドレス信号と前記データラッチ回路の出力信号とを比較して、前記不良セルを前記冗長セルに置き換えるか否かを決定することを特徴とするリダンダンシーフューズ回路のテスト方法。

【請求項 9】 請求項 8 に記載のテスト方法におけるリダンダンシーフューズ回路の動作確認を終えた後に、フューズ回路内のフューズ素子の切断を実行することを特徴とするリダンダンシ置き換え方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不良アドレスがプログラムされるリダンダンシーフューズ回路に関し、特に、半導体メモリやメモリ混載マイコンなどのメモリを有する半導体集積回路に使用される。

【0002】

【従来の技術】

半導体メモリやメモリ混載マイコンなどのメモリを有する半導体集積回路においては、メモリセルの微細化などに起因し、製造時にメモリセルの一部に欠陥が発生し、そのメモリセルが不良となる場合がある。この場合、リダンダンシーフューズ回路を用いて、その不良セルを冗長セルに置き換え、チップを救済するという方法が採用される（例えば、特許文献 1～5 参照）。

【0003】

図 4 は、従来のリダンダンシーフューズ回路を有するメモリ回路の例を示している。

【0004】

メモリセルアレイ 10A は、アレイ状に配置された複数のメモリセルから構成される。メモリセルの種類は、何でも構わない。冗長セルアレイ 10B は、メモリセルアレイ 10A に隣接して配置される。冗長セルアレイ 10B は、アレイ状に配置された複数の冗長セルから構成される。冗長セルは、メモリセルアレイ 10A 内に不良セルが存在する場合に、その不良セルの代わりとなる。

【0005】

メモリセルアレイ10A内には、複数本、例えば、512本のワード線が配置される。これらワード線は、例えば、8本ごとに、1つのブロックにまとめられ、ブロック単位で、不良セルから冗長セルへの置き換えが実行される。

【0006】

例えば、メモリセルアレイ10Aのテストの結果、メモリセルアレイ10A内の(A)及び(B)の位置に不良セルが存在していたとすると、不良セルから冗長セルへの置き換えは、これら不良セルを含むブロック内の8つのロウ(8本のワード線)単位で実行される。

【0007】

アドレス信号は、アドレスバッファ11を経由して、アドレスデコーダ12に入力される。アドレスデコーダ12は、アドレス信号をデコードし、メインロウアドレス信号MRA、サブロウアドレス信号SRA及びカラムアドレス信号CAを出力する。

【0008】

メインロウアドレス信号MRAは、メインロウデコーダ13の本体セル分15を経由して、サブロウデコーダ14の本体セル分16に入力される。サブロウアドレス信号SRAは、サブロウデコーダ14内の共通デコーダ17を経由して、サブロウデコーダ14の本体セル分16及びリダンダンシイ(R/D)分19に入力される。カラムアドレス信号CAは、カラムデコーダ20に入力される。

【0009】

例えば、リードデータは、カラム選択スイッチ21、センスアンプ(S/A)22及びバッファ23を経由して、出力データBIT0, BIT1, BITm-1として、チップの外部に出力される。

【0010】

フューズ回路F0, F1, ...には、それぞれ、不良アドレスがプログラムされる。具体的には、フューズ回路F0, F1, ...には、不良セルを含むブロックのアドレス(本例では、nビット)がプログラムされる。フューズ回路F0, F1, ...の数は、例えば、メモリセルアレイ10内の冗長アレイを構成

するブロックの数に等しい。

【0011】

フューズ回路F0, F1, …は、レーザによるフューズの切断の有無により不良アドレスを記憶するタイプであってもよいし、電氣的にフューズを切断できるE(electrically)-フューズを用いていてもよい。フューズ回路F0, F1, …は、セクタSEL0, SEL1, …を経由して、オア回路OR1に接続される。

【0012】

メモリセルアレイ10A内に不良セルが存在する場合、セクタSEL0, SEL1, …は、フューズブロック選択信号BLK0, BLK1, …に基づいて、1つのフューズ回路Fiを選択する。選択された1つのフューズ回路Fiに対応するセクタSELiは、そのフューズ回路Fiにプログラムされた不良アドレスを出力する。選択されなかった残りの全てのフューズ回路に対応するセクタは、そのnビットの出力データを、全て、“0”にする。

【0013】

従って、選択された1つのフューズ回路Fiにプログラムされた不良アドレスは、セクタSELi及びオア回路OR1を経由して、コンパレータ24に入力される。例えば、フューズブロック選択信号BLK0が“H”、その他のフューズブロック選択信号BLK1, …が“L”のとき、フューズ回路F0内にプログラムされたnビットの不良アドレスが、セクタSEL0及びオア回路OR1を経由して、コンパレータ24に入力される。

【0014】

コンパレータ24は、nビットの外部アドレスデータとオア回路OR1から出力されるnビットの不良アドレスデータとを比較し、両者が一致しない場合には、例えば、フラグFLAGを“L”にする。この時、アドレスデコード12が活性化され、通常のデコード動作が実行される。また、コンパレータ24は、両者が一致する場合には、例えば、フラグFLAGを“H”にする。この時、アドレスデコード12が非活性化されると共に、メイン/サブrowデコード13, 14のリダンダンシイ分18, 19が活性化される。

【0015】

【特許文献1】

特開 2001-307497 号公報

【0016】

【特許文献2】

特開平 4-322000 号公報

【0017】

【特許文献3】

特開平 4-238199 号公報

【0018】

【特許文献4】

特開平 6-243698 号公報

【0019】

【特許文献5】

特開平 5-128893 号公報

【0020】

【発明が解決しようとする課題】

図 4 に示すような従来のリダンダンシイフューズ回路には、以下の問題がある。

【0021】

① テスト工程後、不良セルから冗長セルへの置き換えを行っても、冗長セルに欠陥があるなどの理由により、チップを救済できない場合がある。この場合、フューズを切断する工程が無駄となり、製造コストの増加の原因となる。

【0022】

② 不良セルが存在するアドレスとは異なるアドレスを間違えてプログラムしてしまう場合がある。このような場合にも、チップを救済することはできず、フューズを切断する工程が無駄となり、製造コストの増加の原因となる。

【0023】

③ ①及び②に示すように、フューズを切断する工程を経たにもかかわらず、

チップを救済できない場合に対し、これを確認するには、フューズを切断した後でなければ行えず、フューズ切断工程が無駄となる。また、フューズは、一度、切断したら、元に戻すことができない。

【0024】

このような問題を、フューズを切断する前に、予め確認できれば、不良を救済できないチップに対しては、フューズ切断工程を行わなくて済むため、製造コストの低減には、効果的である。

【0025】

また、特に、量産前の試作段階においては、フューズ切断工程の環境が十分に整っていないため、フューズ切断時の破片や塵などの影響によるフューズの切断不良が発生する可能性が大きい。そこで、試作段階では、フューズを切断することなく、リダンダンシーフューズ回路の動作確認ができれば、好都合である。

【0026】

本発明の目的は、物理的にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせることができるリダンダンシーフューズ回路を設けることにより、リダンダンシ置き換えテストの容易化、無駄なフューズ切断工程の排除、及び、間違った不良アドレスのプログラムの防止を図ることにある。

【0027】

【課題を解決するための手段】

本発明の例に関わるリダンダンシーフューズ回路は、メモリセルアレイ内の不良セルを冗長セルに置き換える機能を有し、前記不良セル又はそれを含むブロックのアドレスがフューズの切断の有無により不良アドレスとしてプログラムされるフューズ回路と、テストから供給される信号をラッチすることにより、前記不良アドレスの擬似的プログラムを行うデータラッチ回路と、前記リダンダンシーフューズ回路の動作確認時に、前記テストから供給されるアドレス信号と前記データラッチ回路の出力信号とに基づいて、前記不良セルを前記冗長セルに置き換えるコンパレータとを備える。

【0028】

【発明の実施の形態】

以下、図面を参照しながら、本発明の例に関わるリダンダンシーフューズ回路について説明する。

【0029】

1. 概要

本発明の例は、物理的にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせることができるリダンダンシーフューズ回路（リダンダンシイ擬似フューズ回路）に関する。本発明の例に関わるリダンダンシーフューズ回路は、物理的にフューズを切断しなくても、フューズを切断したと同様の効果が発生させることができるため、リダンダンシイ置き換えテストの容易化、無駄なフューズ切断工程の排除や、間違った不良アドレスのプログラムの防止などを図ることができる。

【0030】

本発明の例に関わるリダンダンシーフューズ回路は、メモリを有する半導体集積回路内に設けられ、メモリセルアレイ内の不良セルを冗長セルに置き換える機能を有する。ここで、メモリを有する半導体集積回路には、汎用メモリの他、例えば、メモリ混載マイコンなどが含まれる。

【0031】

さらに、本発明の例は、汎用メモリやメモリ混載マイコンを有する集積回路システムに応用できる。本発明の例は、フューズを実際に切断する前に、それと同様の効果をチップに与えることができるため、リダンダンシイ置き換えによりチップが救済できるか、又は、間違った不良アドレスをプログラムしようとしていないか、などを確認するためのテスト方法に応用できる。

【0032】

2. 第1実施の形態

まず、本発明の第1実施の形態に関わるリダンダンシーフューズ回路について説明する。

【0033】

(1) 全体構成

図1は、本発明の第1実施の形態に関わるリダンダンシーフューズ回路を有す

るメモリ回路を示している。

【0034】

メモリセルアレイ10Aは、アレイ状に配置された複数のメモリセルから構成される。メモリセルの種類は、RAM、ROMなど、何でも構わない。冗長セルアレイ10Bは、メモリセルアレイ10Aに隣接して配置される。冗長セルアレイ10Bは、アレイ状に配置された複数の冗長セルから構成される。冗長セルは、メモリセルアレイ10A内に不良セルが存在する場合に、その不良セルの代わりとなる。

【0035】

メモリセルアレイ10A内には、複数本、例えば、512本のワード線が配置される。これらワード線は、例えば、8本ごとに、1つのブロックにまとめられ、ブロック単位で、不良セルから冗長セルへの置き換えが実行される。

【0036】

例えば、メモリセルアレイ10Aのテストの結果、メモリセルアレイ10A内の(A)及び(B)の位置に不良セルが存在していたとすると、不良セルから冗長セルへの置き換えは、これら不良セルを含むブロック内の8つのロウ(8本のワード線)単位で実行される。

【0037】

アドレス信号は、アドレスバッファ11を経由して、アドレスデコーダ12に入力される。アドレスデコーダ12は、アドレス信号をデコードし、メインロウアドレス信号MRA、サブロウアドレス信号SRA及びカラムアドレス信号CAを出力する。

【0038】

メインロウアドレス信号MRAは、メインロウデコーダ13の本体セル分15を経由して、サブロウデコーダ14の本体セル分16に入力される。サブロウアドレス信号SRAは、サブロウデコーダ14内の共通デコーダ17を経由して、サブロウデコーダ14の本体セル分16及びリダンダンシイ(R/D)分19に入力される。カラムアドレス信号CAは、カラムデコーダ20に入力される。

【0039】

例えば、リードデータは、カラム選択スイッチ 21、センスアンプ (S/A) 22 及びバッファ 23 を経由して、出力データ BIT 0, BIT 1, ... BIT m-1 として、チップの外部に出力される。

【0040】

次に、本発明の特徴部分であるリダンダンシーフューズ回路 30 について説明する。

【0041】

フューズ回路 F 0, F 1, ... には、それぞれ、不良アドレスがプログラムされる。具体的には、フューズ回路 F 0, F 1, ... には、不良セルを含むブロックのアドレス (本例では、n ビット) がプログラムされる。フューズ回路 F 0, F 1, ... の数は、例えば、メモリセルアレイ 10 内の冗長アレイを構成するブロックの数に等しい。

【0042】

フューズ回路 F 0, F 1, ... は、レーザによるフューズの切断の有無により不良アドレスを記憶するタイプであってもよいし、電氣的にフューズを切断できる E (electrically) - フューズを用いていてもよい。フューズ回路 F 0, F 1, ... は、セクタ SEL 0, SEL 1, ... 及びアンド回路 AND 0, AND 1, ... を経由して、オア回路 OR 1 に接続される。

【0043】

本例のリダンダンシーフューズ回路 30 は、実際にフューズを切断して不良セルを冗長セルに置き換えるセル置き換え機能と、実際にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせる擬似置き換え機能とを有している。これら 2 つの機能のうちいずれを使用するかは、テスト信号 TEST により決定する。

【0044】

・ セル置き換え機能

通常のセル置き換え機能を使用するときは、テスト信号 TEST は、“L” になる。テスト信号 TEST が “L” (b TEST が “H”) のときは、データラッチ回路 26 は、非活性化される。この時、データラッチ回路 26 の出力データ

(nビット)は、全て、“0”になる。

【0045】

一方、アンド回路AND 0, AND 1, . . . に入力されるテスト信号TESTの反転信号bTESTは、“H” (“1”に相当)である。また、メモリセルアレイ10A内に不良セルが存在する場合、セクタSEL 0, SEL 1, . . . は、フューズブロック選択信号BLK 0, BLK 1, . . . に基づいて、1つのフューズ回路Fiを選択する。選択された1つのフューズ回路Fiに対応するセクタSEL iは、そのフューズ回路Fiにプログラムされた不良アドレスを出力する。選択されなかった残りの全てのフューズ回路に対応するセクタは、その出力データ(nビット)を、全て、“0”にする。

【0046】

従って、選択された1つのフューズ回路Fiにプログラムされた不良アドレスは、セクタSEL i、アンド回路AND i及びオア回路OR 1を経由して、コンパレータ24に入力される。例えば、フューズブロック選択信号BLK 0が“H”、その他のフューズブロック選択信号BLK 1, . . . が“L”のとき、フューズ回路F 0内にプログラムされたnビットの不良アドレスが、セクタSEL 0、アンド回路AND 0及びオア回路OR 1を経由して、コンパレータ24に入力される。

【0047】

コンパレータ24は、外部アドレスデータ(nビット)とオア回路OR 1から出力される不良アドレスデータ(nビット)とを比較し、両者が一致しない場合には、例えば、フラグFLAGを“L”にする。この時、アドレスデコーダ12が活性化され、通常のデコード動作が実行される。

【0048】

また、コンパレータ24は、両者が一致する場合には、例えば、フラグFLAGを“H”にする。この時、アドレスデコーダ12が非活性化されると共に、メイン/サブロウデコーダ13, 14のリダンダンシイ分18, 19が活性化される。従って、不良ロウ(8本)内の1つのロウに代わり、冗長ロウ(8本)内の1つのロウが選択される。

【0049】

・ 擬似置き換え機能

実際にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせる擬似置き換え機能を使用するときは、テスト信号TESTは、“H”になる。テスト信号TESTが“H”（bTESTが“L”）のときは、データラッチ回路26は、活性化される。この時、データラッチ回路26は、チップ外部からデータバッファ25を経由して入力される外部アドレス信号（nビット）をラッチする。この外部アドレス信号は、例えば、不良セルを含むブロックのアドレス（不良アドレス）を示している。

【0050】

一方、アンド回路AND0, AND1, …に inputsされるテスト信号TESTの反転信号bTESTは、“L”（“0”に相当）であるため、全てのアンド回路AND0, AND1, …の出力データは、“0”となる。

【0051】

従って、データラッチ回路26にラッチされた外部アドレス信号（不良アドレス）は、オア回路OR1を経由して、コンパレータ24に入力される。このように、例えば、テスト時、物理的にフューズを切断することなく、チップ外部のテストからリダンダンシーフューズ回路に不良アドレス信号を与えることにより、フューズを切断したときと同様に、不良セルを冗長セルに置き換えることができる。

【0052】

即ち、コンパレータ24は、外部アドレスデータ（nビット）とオア回路OR1から出力される不良アドレスデータ（nビット）とを比較し、両者が一致しない場合には、例えば、フラグFLAGを“L”にする。この時、アドレスデコーダ12が活性化され、通常のデコード動作が実行される。

【0053】

また、コンパレータ24は、両者が一致する場合には、例えば、フラグFLAGを“H”にする。この時、アドレスデコーダ12が非活性化されると共に、メイン／サブrowデコーダ13, 14のリダンダンシイ分18, 19が活性化され

る。従って、不良ロウ（8本）内の1つのロウに代わり、冗長ロウ（8本）内の1つのロウが選択される。

【0 0 5 4】

(2) 動作

次に、本発明の第1実施の形態に関わるリダンダンシーフューズ回路の動作について説明する。

【0 0 5 5】

本実施の形態では、図1に示すように、不良セルから冗長セルへの置き換えは、8つのロウ（8本のワード線）単位で実行される。メモリセルアレイ10Aのテストの結果、不良セルがA及びBの位置に存在していたとする。

【0 0 5 6】

まず、不良セルから冗長セルへの置き換えにより、チップが救済できるか否かを検証するテストモードに入る。

【0 0 5 7】

テスト信号TESTが“H”（bTESTが“L”）になるため、データラッチ回路26が活性化され、アンド回路AND0，AND1，・・・の出力データは、全て、“0”となる。

【0 0 5 8】

リセット信号RSTによりデータラッチ回路26がリセットされた後、テストにより生成された外部アドレス信号（不良アドレス）は、データバッファ25を経由し、クロック信号CLKに同期してデータラッチ回路26にラッチされる。

【0 0 5 9】

コンパレータ24は、外部アドレスデータ（nビット）とオア回路OR1から出力されるラッチデータ（nビット）とを比較し、両者が一致しない場合には、例えば、フラグFLAGを“L”にする。この時、アドレスデコーダ12が活性化され、通常のデコード動作が実行される。

【0 0 6 0】

また、コンパレータ24は、両者が一致する場合には、例えば、フラグFLAGを“H”にする。この時、アドレスデコーダ12が非活性化されると共に、メ

イン／サブロウデコーダ13, 14のリダンダンシイ分18, 19が活性化される。これにより、不良ロウ(8本)が冗長ロウ(8本)に置き換えられる。そして、ロウアドレス信号により、冗長ロウ(8本)のうちから1つのロウが選択される。

【0061】

ここで、リダンダンシイフューズ回路の動作確認を行うテストモードでは、図3に示すように、実際に、データの書き込み及び読み出しを行い、書き込みデータと読み出しデータが一致するか否かを検証する(図3の「不良アドレスの擬似プログラム+テスト」に相当)。

【0062】

両者が一致する場合には、不良セルから冗長セルへの置き換えによりチップが救済できたことを意味しているため、この後、実際に、フューズの切断を実行する。これに対し、両者が一致しない場合には、不良セルから冗長セルへの置き換えによってもチップが救済できなかったことを意味しているため、そのチップは、不良品として処理する。

【0063】

(3) 効果

このように、本発明の第1実施の形態によれば、冗長ロウを有するメモリ回路に関して、物理的にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせることができる。即ち、フューズを切断することなく、リダンダンシイフューズ回路の動作確認を行えるため、リダンダンシイ置き換えテストの容易化、無駄なフューズ切断工程の排除、及び、間違った不良アドレスのプログラムの防止を図ることができる。

【0064】

3. 第2実施の形態

まず、本発明の第2実施の形態に関わるリダンダンシイフューズ回路について説明する。

【0065】

(1) 全体構成

図2は、本発明の第2実施の形態に関わるリダンダンシーフューズ回路を有するメモリ回路を示している。

【0066】

上述の第1実施の形態では、本発明の例に関わるリダンダンシーフューズ回路を、冗長ロウを有するメモリ回路に適用した。これに対し、第2実施の形態では、本発明の例に関わるリダンダンシーフューズ回路を、冗長カラムを有するメモリ回路に適用する。

【0067】

メモリセルアレイ10Aは、アレイ状に配置された複数のメモリセルから構成される。メモリセルの種類は、RAM、ROMなど、何でも構わない。冗長セルアレイ10Bは、メモリセルアレイ10Aに隣接して配置される。冗長セルアレイ10Bは、アレイ状に配置された複数の冗長セルから構成される。冗長セルは、メモリセルアレイ10A内に不良セルが存在する場合に、その不良セルの代わりとなる。

【0068】

メモリセルアレイ10A内には、複数本のビット線が配置される。これらビット線は、例えば、32本ごとに、1つのブロックにまとめられ、ブロック単位で、不良セルから冗長セルへの置き換えが実行される。

【0069】

例えば、メモリセルアレイ10Aのテストの結果、メモリセルアレイ10A内の(A)及び(B)の位置に不良セルが存在していたとすると、不良セルから冗長セルへの置き換えは、これら不良セルを含むブロック内の32カラム(32本のビット線)単位で実行される。

【0070】

アドレス信号は、アドレスバッファ11を経由して、アドレスデコーダ12に入力される。アドレスデコーダ12は、アドレス信号をデコードし、メインロウアドレス信号MRA、サブロウアドレス信号SRA、カラムアドレス信号CA及びI/O切り替え信号I/O・SELを出力する。

【0071】

メインロウアドレス信号MRA及びサブロウアドレス信号SRAは、メインロウデコーダ13又はサブロウデコーダ14に入力される。メインロウデコーダ13及びサブロウデコーダ14の構成は、第1実施の形態(図1)と同じであるため、ここでは、その説明を省略する。カラムアドレス信号CAは、カラムデコーダ20に入力される。I/O切り替え信号I/O・SELは、カラムデコーダ20及びリダンダンシイ(R/D)カラム制御回路27に入力される。

【0072】

例えば、不良セルから冗長セルへの置き換えを行う場合、不良アドレスに対応するブロックでは、ヒット信号HITCOLが“H”になり、I/O切り替え信号I/O・SELが“H”になる。この時、不良アドレスに対応するブロックでは、カラムデコーダ20が非活性化され、リダンダンシイ(R/D)カラム制御回路27が活性化される。リダンダンシイ(R/D)カラム制御回路27は、冗長セルアレイ10Bからデータが出力されるように、カラムスイッチ21を制御する。なお、カラムデコーダ20を非活性化せずに、I/Oバッファ23において不良カラムを冗長カラムに置き換えるようにしてもよい。

【0073】

不良アドレスに対応するブロック以外のブロックでは、カラムデコーダ20が活性化され、リダンダンシイ(R/D)カラム制御回路27が非活性化される。カラムデコーダ20及びリダンダンシイ(R/D)カラム制御回路27は、32カラム(32本のビット線)のうちの1つを選択し、選択された1つのカラムのカラム選択スイッチをオンにする。なお、リダンダンシイ(R/D)カラム制御回路27を非活性化せずに、I/Oバッファ23において、冗長カラムではなく、通常カラムを選択するようにしてもよい。

【0074】

リードデータは、カラム選択スイッチ21、センスアンプ(S/A)22及びバッファ23を経由して、出力データBIT0, BIT1, … BITmとして、チップの外部に出力される。

【0075】

次に、本発明の特徴部分であるリダンダンシイフューズ回路30について説明

する。

【0076】

フューズ回路F0, F1, . . . には、それぞれ、不良アドレスがプログラムされる。具体的には、フューズ回路F0, F1, . . . には、不良セルのアドレス（本例では、xビット）がプログラムされる。フューズ回路F0, F1, . . . の数は、例えば、メモリセルアレイ10内の冗長アレイを構成するブロックの数に等しい。

【0077】

フューズ回路F0, F1, . . . は、レーザによるフューズの切断の有無により不良アドレスを記憶するタイプであってもよいし、電氣的にフューズを切断できるE (electrically) -フューズを用いていてもよい。フューズ回路F0, F1, . . . は、セクタSEL0, SEL1, . . . 及びアンド回路AND0, AND1, . . . を経由して、オア回路OR1に接続される。

【0078】

本例のリダンダンシーフューズ回路30は、実際にフューズを切断して不良セルを冗長セルに置き換えるセル置き換え機能と、実際にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせる擬似置き換え機能とを有している。これら2つの機能のうちいずれを使用するかは、テスト信号TESTにより決定する。

【0079】

・ セル置き換え機能

通常のセル置き換え機能を使用するときは、テスト信号TESTは、“L”になる。テスト信号TESTが“L”（bTESTが“H”）のときは、データラッチ回路26は、非活性化される。この時、データラッチ回路26の出力データ（xビット）は、全て、“0”になる。

【0080】

一方、アンド回路AND0, AND1, . . . に入力されるテスト信号TESTの反転信号bTESTは、“H”（“1”に相当）である。また、メモリセルアレイ10A内に不良セルが存在する場合、セクタSEL0, SEL1, . . .

・は、フューズブロック選択信号BLK0, BLK1, . . . に基づいて、1つのフューズ回路Fiを選択する。選択された1つのフューズ回路Fiに対応するセクタSELiは、そのフューズ回路Fiにプログラムされた不良アドレスを出力する。選択されなかった残りの全てのフューズ回路に対応するセクタは、その出力データ(xビット)を、全て、“0”にする。

【0081】

従って、選択された1つのフューズ回路Fiにプログラムされた不良アドレスは、セクタSELi、アンド回路ANDi及びオア回路OR1を経由して、コンパレータ24に入力される。例えば、フューズブロック選択信号BLK0が“H”、その他のフューズブロック選択信号BLK1, . . . が“L”のとき、フューズ回路F0内にプログラムされたxビットの不良アドレスが、セクタSEL0、アンド回路AND0及びオア回路OR1を経由して、コンパレータ24に入力される。

【0082】

コンパレータ24は、外部アドレスデータ(xビット)とオア回路OR1から出力される不良アドレスデータ(xビット)とを比較し、両者が一致しない場合には、例えば、ヒット信号HITCOLを“L”にする。

【0083】

この時、アドレスデコーダ12は、I/O切り替え信号I/O・SELを“L”にする。従って、カラムデコーダ20が活性化され、リダンダンシイ(R/D)カラム制御回路27が非活性化され、通常のデコード動作が実行される。

【0084】

また、ヒット信号HITCOLが“L”のとき、セクタ29の出力信号SW0, SW1, . . . は、全て、“L”になる。従って、バッファ23は、メモリセルアレイ10Aから読み出されたデータを選択し、これを、リードデータBIT0, BIT1, . . . BITm-1として出力する。

【0085】

これに対し、コンパレータ24は、両者が一致する場合には、例えば、ヒット信号HITCOLを“H”にする。

【0086】

この時、アドレスデコーダ12は、I/O切り替え信号I/O・SELを“H”にする。従って、カラムデコーダ20が非活性化され、リダンダンシイ(R/D)カラム制御回路27が活性化される。リダンダンシイ(R/D)カラム制御回路27は、不良アドレス信号(xビット)に対応するブロックiについては、冗長セルアレイ10Bからデータが出力されるように、カラムスイッチ21を制御する。

【0087】

また、ヒット信号HITCOLが“H”のとき、セクタ29は、I/O切り替えデコーダ28の出力信号を選択する。I/O切り替えデコーダ28は、オア回路OR1から出力される不良アドレス信号(pビット)をデコードし、その不良アドレス信号により特定されるブロックiについてのみ、切り替え信号SWiを“H”にする。

【0088】

例えば、不良アドレス信号(pビット)によりカラム0(ブロック0)が特定される場合には、切り替え信号SW0が“H”となり、その他の切り替え信号SW1,・・・は、全て、“L”になる。従って、カラム0に関しては、バッファ23は、冗長セルアレイ10Bから読み出されたデータを選択し、これを、リードデータBIT0として出力する。また、カラム0以外のカラムに関しては、バッファ23は、メモリセルアレイ10Aから読み出されたデータを選択し、これを、リードデータBIT1,・・・BITm-1として出力する。

【0089】

・ 擬似置き換え機能

実際にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせる擬似置き換え機能を使用するときは、テスト信号TESTは、“H”になる。テスト信号TESTが“H”(bTESTが“L”)のときは、データラッチ回路26は、活性化される。この時、データラッチ回路26は、チップ外部からデータバッファ25を経由して入力される外部アドレス信号(xビット)をラッチする。この外部アドレス信号は、例えば、不良セルのアドレス(不良アドレス

)を示している。

【0090】

一方、アンド回路AND 0, AND 1, . . . に入力されるテスト信号TESTの反転信号 $\bar{b}TEST$ は、“L” (“0”に相当)であるため、全てのアンド回路AND 0, AND 1, . . . の出力データは、“0”となる。

【0091】

従って、データラッチ回路26にラッチされた外部アドレス信号(不良アドレス)は、オア回路OR 1を経由して、コンパレータ24に入力される。このように、例えば、テスト時、物理的にフューズを切断することなく、チップ外部のテストからリダンダンシーフューズ回路に不良アドレス信号を与えることにより、フューズを切断したときと同様に、不良セルを冗長セルに置き換えることができる。

【0092】

即ち、コンパレータ24は、外部アドレスデータ(xビット)とオア回路OR 1から出力される不良アドレスデータ(xビット)とを比較し、両者が一致しない場合には、例えば、ヒット信号HITCOLを“L”にする。

【0093】

この時、アドレスデコーダ12は、I/O切り替え信号I/O・SELを“L”にする。従って、カラムデコーダ20が活性化され、リダンダンシ(R/D)カラム制御回路27が非活性化され、通常のデコード動作が実行される。

【0094】

また、ヒット信号HITCOLが“L”のとき、セクタ29の出力信号SW 0, SW 1, . . . は、全て、“L”になる。従って、バッファ23は、メモリセルアレイ10Aから読み出されたデータを選択し、これを、リードデータBIT 0, BIT 1, . . . BIT m-1として出力する。

【0095】

これに対し、コンパレータ24は、両者が一致する場合には、例えば、ヒット信号HITCOLを“H”にする。

【0096】

この時、アドレスデコーダ12は、I/O切り替え信号I/O・SELを“H”にする。従って、カラムデコーダ20が非活性化され、リダンダンシイ(R/D)カラム制御回路27が活性化される。リダンダンシイ(R/D)カラム制御回路27は、不良アドレス信号(xビット)に対応するブロックiについては、冗長セルアレイ10Bからデータが出力されるように、カラムスイッチ21を制御する。

【0097】

また、ヒット信号HITCOLが“H”のとき、セクタ29は、I/O切り替えデコーダ28の出力信号を選択する。I/O切り替えデコーダ28は、オア回路OR1から出力される不良アドレス信号(pビット)をデコードし、その不良アドレス信号により特定されるブロックiについてのみ、切り替え信号SWiを“H”にする。

【0098】

例えば、不良アドレス信号(pビット)によりカラム0(ブロック0)が特定される場合には、切り替え信号SW0が“H”となり、その他の切り替え信号SW1,・・・は、全て、“L”になる。従って、カラム0に関しては、バッファ23は、冗長セルアレイ10Bから読み出されたデータを選択し、これを、リードデータBIT0として出力する。また、カラム0以外のカラムに関しては、バッファ23は、メモリセルアレイ10Aから読み出されたデータを選択し、これを、リードデータBIT1,・・・BITm-1として出力する。

【0099】

(2) 動作

次に、本発明の第2実施の形態に関わるリダンダンシイフェーズ回路の動作について説明する。

【0100】

本実施の形態では、図2に示すように、不良セルから冗長セルへの置き換えは、ブロック単位、即ち、32カラム(32本のビット線)単位で実行される。メモリセルアレイ10Aのテストの結果、不良セルがA及びBの位置に存在していたとする。

【0101】

まず、不良セルから冗長セルへの置き換えにより、チップが救済できるか否かを検証するテストモードに入る。

【0102】

テスト信号TESTが“H”（bTESTが“L”）になるため、データラッチ回路26が活性化され、アンド回路AND0，AND1，・・・の出力データは、全て、“0”となる。

【0103】

リセット信号RSTによりデータラッチ回路26がリセットされた後、テストにより生成された外部アドレス信号（不良アドレス）は、データバッファ25を経由し、クロック信号CLKに同期してデータラッチ回路26にラッチされる。

【0104】

コンパレータ24は、外部アドレスデータ（xビット）とオア回路OR1から出力されるラッチデータ（xビット）とを比較し、両者が一致しない場合には、例えば、ヒット信号HITCOLを“L”にする。この時、カラムデコーダ20が活性化され、通常のデコード動作が実行される。

【0105】

また、コンパレータ24は、両者が一致する場合には、例えば、ヒット信号HITCOLを“H”にする。この時、不良アドレス信号に対応するブロックでは、カラムデコーダ20が非活性化されると共に、リダンダンシイ（R/D）カラム制御回路27が活性化される。これにより、不良アドレス信号に対応するブロック内の不良カラム（32本）が冗長カラム（32本）に置き換えられる。そして、カラムアドレス信号により、冗長カラム（32本）のうちから1つのカラムが選択される。

【0106】

ここで、リダンダンシイフューズ回路の動作確認を行うテストモードでは、図3に示すように、実際に、データの書き込み及び読み出しを行い、書き込みデータと読み出しデータが一致するか否かを検証する（図3の「不良アドレスの擬似プログラム+テスト」に相当）。

【0107】

両者が一致する場合には、不良セルから冗長セルへの置き換えによりチップが救済できたことを意味しているため、この後、実際に、フューズの切断を実行する。これに対し、両者が一致しない場合には、不良セルから冗長セルへの置き換えによってもチップが救済できなかったことを意味しているため、そのチップは、不良品として処理する。

【0108】**(3) 効果**

このように、本発明の第2実施の形態によれば、冗長カラムを有するメモリ回路に関して、物理的にフューズを切断しなくても、フューズを切断したと同様の効果を生じさせることができる。即ち、フューズを切断することなく、リダンダンシーフューズ回路の動作確認を行えるため、リダンダンシイ置き換えテストの容易化、無駄なフューズ切断工程の排除、及び、間違った不良アドレスのプログラムの防止を図ることができる。

【0109】**4. テスト方法**

図3は、リダンダンシイ置き換えテストに関して、本発明と従来とを比較したものである。

【0110】

従来では、メモリセルアレイ本体のテストを行い、不良セルが確認されると、不良アドレスのプログラム（フューズ切断）が実行される（ステップST1～ST2）。この後、リダンダンシイフューズ回路の動作確認（テスト）を実行し、正常に動作すれば、良品、正常に動作しなければ、不良品として処理する（ステップST3）。この場合、フューズを切断しなければ、最終的に、製品が良品となるか、不良品となるかは、判断できない。

【0111】

これに対し、本発明の例では、メモリセルアレイ本体のテストを行い、不良セルが確認されると、不良アドレスの擬似プログラム及びリダンダンシイフューズ回路の動作確認（テスト）が実行される（ステップST1～ST2）。そして、

リダンダンシイフューズ回路が正常に動作すれば、良品、正常に動作しなければ、不良品として処理する。つまり、正常と判断された製品についてのみ、不良アドレスのプログラム、即ち、フューズの切断を行えばよい（ステップ S T 3）。

【0112】

5. その他

本発明の例は、リダンダンシイフューズ回路に適用されたが、これに限られず、フューズ素子を有する回路に広く適用できる。即ち、本発明の例は、フューズ素子を有する回路に関して、フューズ素子を切断することなく、その動作確認を行う場合に有効である。

【0113】

【発明の効果】

以上、説明したように、本発明の例によれば、リダンダンシイフューズ回路によるセルの置き換えを、実際にフューズを切断することなく、電氣的に擬似的に行うことができる。このため、フューズを切断する前のテスト動作により、不良セルが救済可能か否かのチェックを行うことができる。その結果、例えば、量産前の試作段階などのフューズカットの環境が整っていない状況でも、容易に、リダンダンシイ置き換えテストを行え、歩留り向上などを実現できる。

【図面の簡単な説明】

【図1】

本発明の第1実施の形態に関わるリダンダンシイフューズ回路を示す回路図。

【図2】

本発明の第2実施の形態に関わるリダンダンシイフューズ回路を示す回路図。

【図3】

本発明の例に関わる置き換えテストを従来のそれと比較して示す図。

【図4】

従来のリダンダンシイフューズ回路を示す回路図。

【符号の説明】

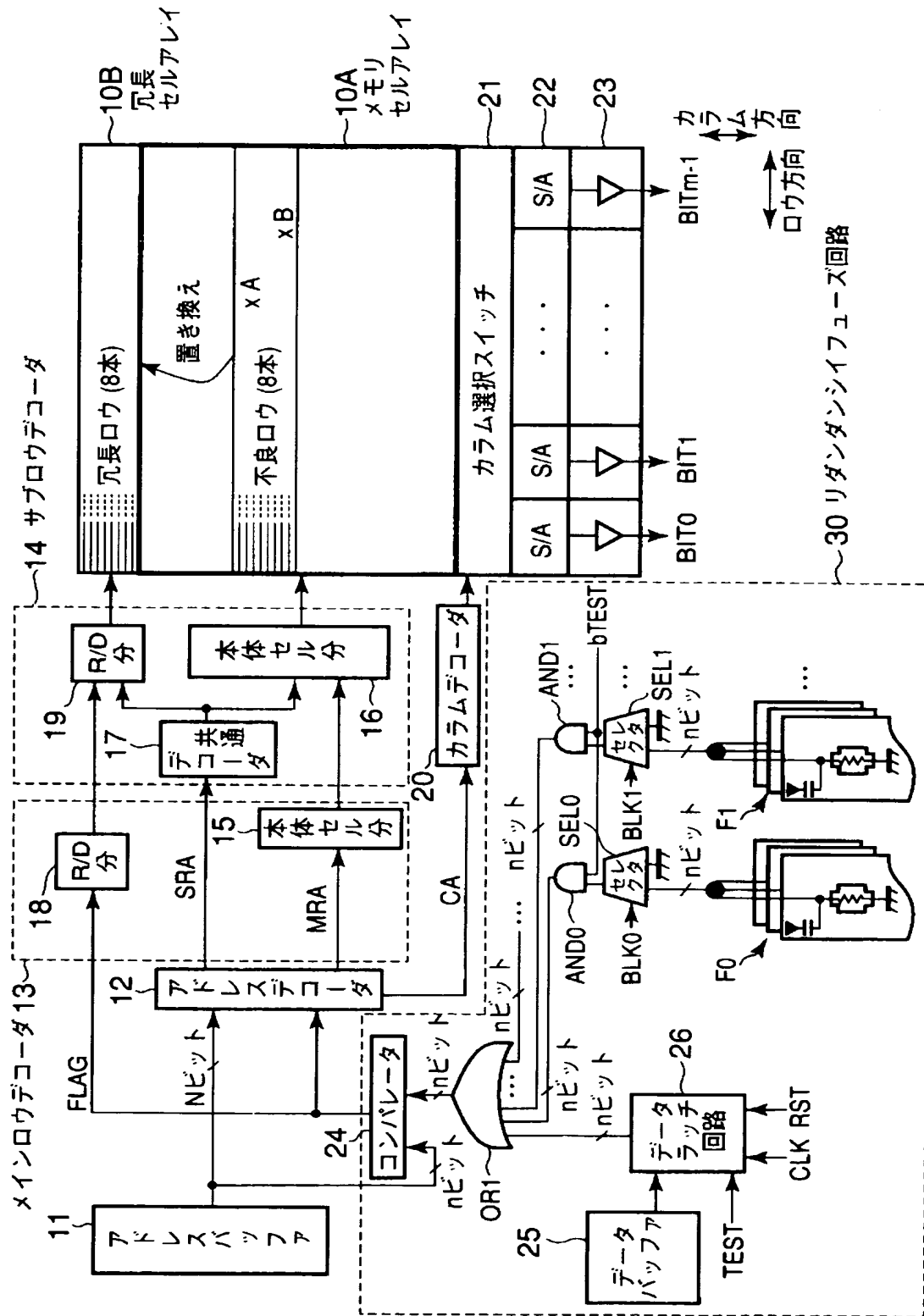
10A： メモリセルアレイ、 10B： 冗長セルアレイ、 11： アドレスバッファ、 12： アドレスデコーダ、 13： メインロウデコーダ、

14： サブロウデコーダ、 15： メインロウデコーダの本体セル分、
16： サブロウデコーダの本体セル分、 17： 共通デコーダ、 18：
メインロウデコーダのリダンダンシイ分、 19： サブロウデコーダのリダン
ダンシイ分、 20： カラムデコーダ、 21： カラム選択スイッチ、 2
2： センスアンプ、 23： バッファ、 24： コンパレータ、 25：
データバッファ、 26： データラッチ回路、 27： リダンダンシイカ
ラム制御回路、 28： I/O切り替えデコーダ、 29： セレクタ、 3
0： リダンダンシイフューズ回路、 F0, F1, . . . : フューズ回路、
SEL0, SEL1, . . . : セレクタ、 AND0, AND1, . . . :
アンド回路、 OR1： オア回路。

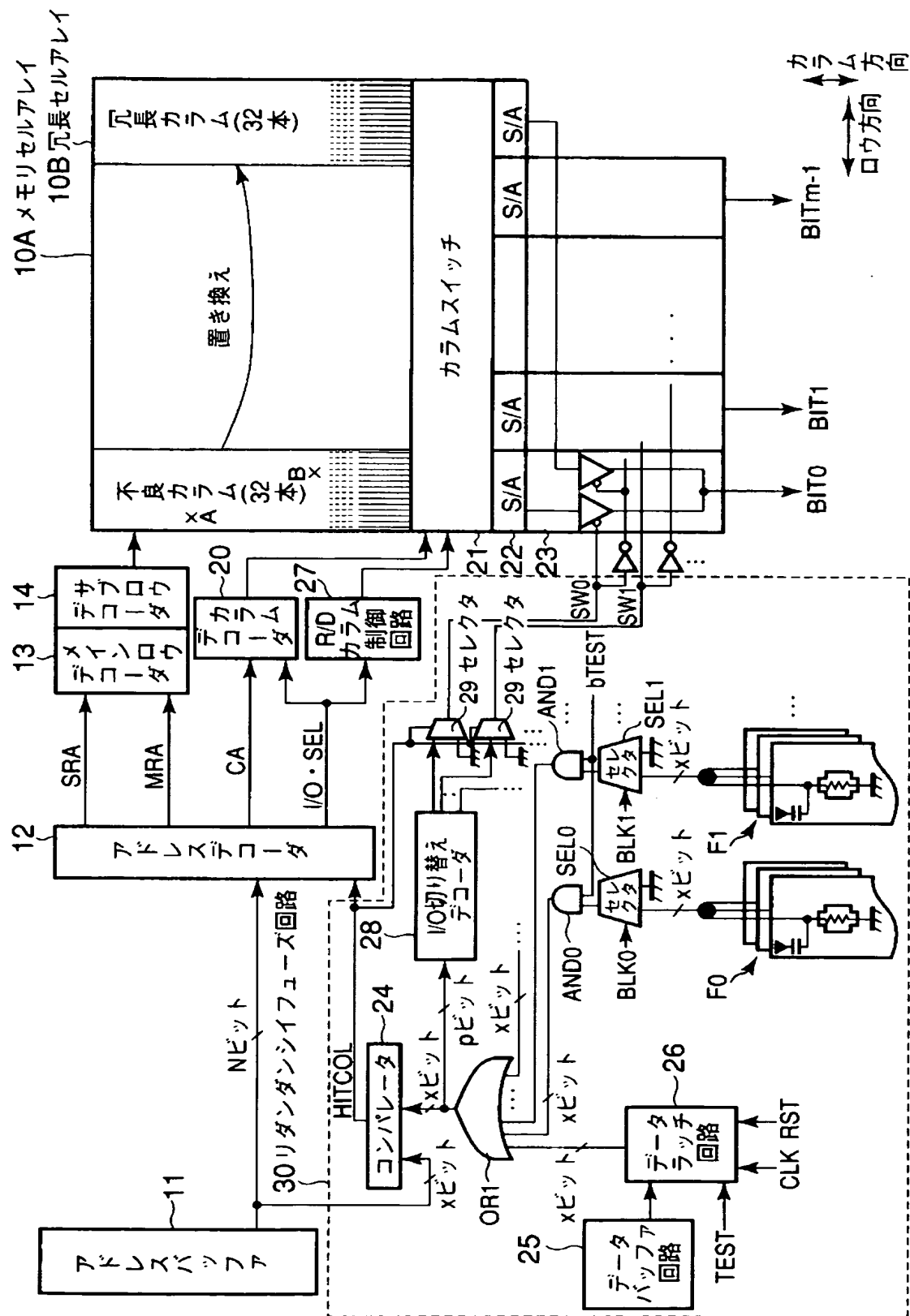
【書類名】

図面

【図 1】

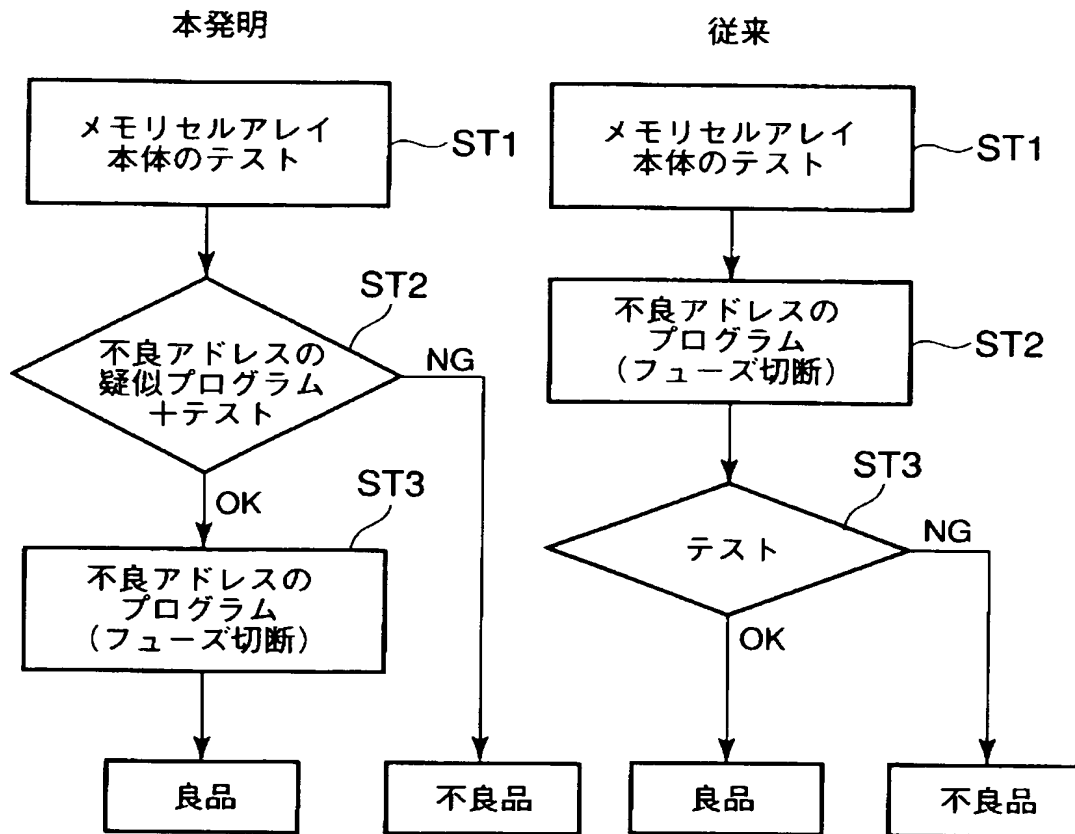


【図 2】



【図 3】

リダンダンシー置き換えテスト



【書類名】 要約書

【要約】

【課題】 フューズ回路の動作確認を切断工程前に行う。

【解決手段】 フューズ回路の動作確認を行う場合には、テスト信号TESTを“H”に設定する。この時、アンド回路AND0, AND1, …の出力信号は、全て、“L”になる。一方、不良アドレス信号は、データラッチ回路26にラッチされ、これにより、不良アドレスの擬似プログラムが完了する。不良アドレス信号は、オア回路OR1を経由して、コンパレータ24に入力される。アドレスバッファ11を経由して入力される外部アドレス信号と不良アドレス信号が一致すると、不良セルから冗長セルへの置き換えが実行される。フューズ回路の動作確認を終えた後に、実際に、フューズの切断工程が実行される。

【選択図】 図1

特願 2 0 0 3 - 0 7 8 4 7 4

出 願 人 履 歴 情 報

識別番号

[5 9 8 0 1 0 5 6 2]

1 . 変更年月日

1 9 9 8 年 1 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 5 8 0 番地

氏 名

東芝エルエスアイシステムサポート株式会社

特願 2 0 0 3 - 0 7 8 4 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
 [変更理由] 新規登録
 住 所 神奈川県川崎市幸区堀川町 7 2 番地
 氏 名 株式会社東芝

2. 変更年月日 2 0 0 1 年 7 月 2 日
 [変更理由] 住所変更
 住 所 東京都港区芝浦一丁目 1 番 1 号
 氏 名 株式会社東芝